

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-142452**

(43)Date of publication of application : **25.05.2001**

(51)Int.Cl.

G09G 5/36  
G09G 5/00  
G09G 5/391

**(21)Application number : 11-321222**

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.11.1999

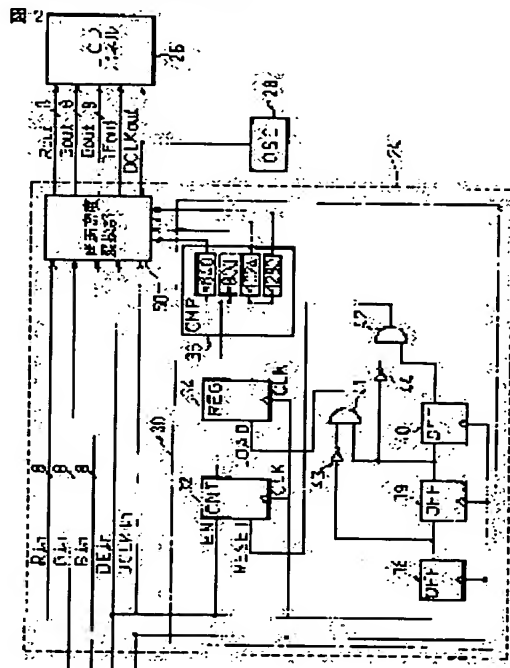
(72)Inventor : FUKUDA TAKATOSHI

## (54) METHOD AND DEVICE FOR CONVERTING IMAGE SIGNAL RESOLUTION

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To convert a digital image signal into a signal having an appropriate resolution that is suitable for a display device by employing only a simple hardware only.

**SOLUTION:** About digital image signals accompanied by data enable(DE) signals and dot clock(DCLK) signals, the number of clocks of the DCLK signals generated in a period in which the DE signals are made active is counted, the resolution of input image signals is judged based on the number of clocks and the pixel density of the signals is converted based on the resolution so as to form image signals having a resolution suitable for a display device. Note that the resolution of the input image signals can be also judged based on the number of pulses by counting the number of pulses of the DE signals generated in one vertical synchronizing period.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-142452

(P2001-142452A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル (参考)

G 0 9 G 5/36  
5/00  
5/391

G 0 9 G 5/36  
5/00

5 2 0 C  
5 2 0 V

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平11-321222

(22) 出願日 平成11年11月11日 (1999.11.11)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 福田 高利

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100077517

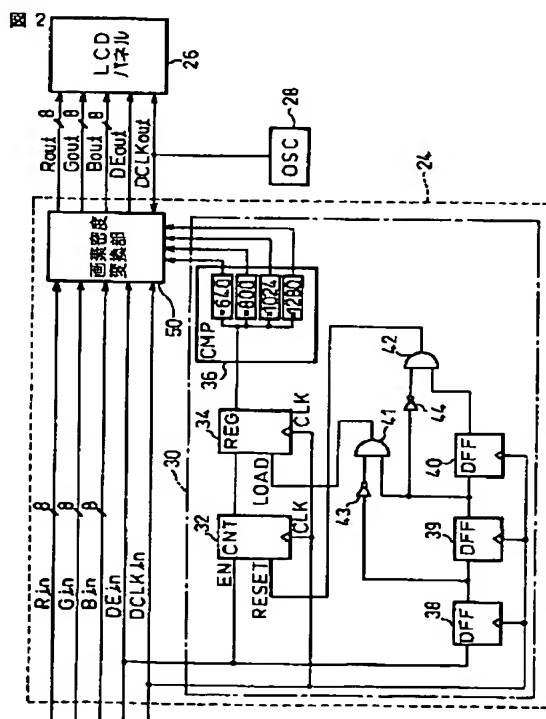
弁理士 石田 敬 (外4名)

(54) 【発明の名称】 画像信号解像度変換方法及び装置

(57) 【要約】

【課題】 簡易なハードウェアのみで、デジタル画像信号を表示装置に適した解像度の信号に変換する。

【解決手段】 データイネーブル (D E) 信号及びドットクロック (D C L K) 信号を伴うデジタル画像信号について、D E 信号がアクティブとなる期間内に発生する D C L K 信号のクロック数をカウントし、カウントされたクロック数に基づいて、入力画像信号の解像度を判定し、その解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換する。一つの垂直同期期間内に発生する D E 信号のパルス数をカウントし、そのパルス数に基づいて入力画像信号の解像度を判定してもよい。



## 【特許請求の範囲】

【請求項1】 データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する方法であって、  
データイネーブル信号がアクティブとなる期間内に発生するドットクロック信号のクロック数をカウントするステップと、  
カウントされたクロック数に基づいて、入力画像信号の解像度を判定するステップと、  
判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換するステップと、  
を具備する画像信号解像度変換方法。

【請求項2】 データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する方法であって、  
一つの垂直同期期間内に発生するデータイネーブル信号のパルス数をカウントするステップと、  
カウントされたパルス数に基づいて、入力画像信号の解像度を判定するステップと、  
判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換するステップと、  
を具備する画像信号解像度変換方法。

【請求項3】 データイネーブル信号がインアクティブとなる期間内に発生するドットクロック信号のクロック数に基づいて一つの垂直同期期間を判定するステップを更に具備する、請求項2に記載の画像信号解像度変換方法。

【請求項4】 データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する装置であって、  
データイネーブル信号がアクティブとなる期間内に発生するドットクロック信号のクロック数をカウントするカウント手段と、  
前記カウント手段によってカウントされたクロック数に基づいて、入力画像信号の解像度を判定する判定手段と、  
前記判定手段によって判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換する画素密度変換手段と、  
を具備する画像信号解像度変換装置。

【請求項5】 データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する装置であって、  
一つの垂直同期期間内に発生するデータイネーブル信号のパルス数をカウントするカウント手段と、  
前記カウント手段によってカウントされたパルス数に基づいて、入力画像信号の解像度を判定する判定手段と、

前記判定手段によって判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換する画素密度変換手段と、

を具備する画像信号解像度変換装置。

【請求項6】 データイネーブル信号がインアクティブとなる期間内に発生するドットクロック信号のクロック数に基づいて一つの垂直同期期間を判定する手段を更に具備する、請求項5に記載の画像信号解像度変換装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、パーソナルコンピュータ等から出力されるデジタル画像信号を表示装置に適した解像度の信号に変換する画像信号解像度変換方法及び装置に関する。

## 【0002】

【従来の技術】 LCD（液晶表示装置）パネルの解像度は、物理的に固定されており、例えば、表示規格の一つであるVGA（Video Graphics Array）に準拠するパネルの場合、横640、縦480のマトリックスになっているため、水平同期信号及び垂直同期信号による同期をとって、一画面につき640×480のデータからなる画像信号を送らなければ、正しい画像は得られない。XGA（Extended Graphics Array）のパネルにあっては、このマトリックスが1024×768となる。

【0003】 これら固定画素数のパネルに異なる画素数の画像を表示させるためには、入力される画像データの画素密度を変換してパネルに送る必要がある。例えば、XGAのパネルにVGAの画像データを表示させるためには、画素密度を縦横ともに1.6倍に増大させる必要がある。

【0004】 この画素密度変換の方法として最も簡単な方法について、水平方向を例にとって説明すると、VGAのデータをXGAのデータに変換する場合であれば、画素密度を1.6倍にする必要から、5個の画素データから8個の画素データを作成すればよい。すなわち、 $D_1, D_2, D_3, D_4, D_5, D_6, \dots$ と続く入力データから、 $D_1, D_1, D_2, D_2, D_3, D_4, D_4, D_5, D_6, D_6, \dots$ というように、5個の画素データの内の3個の画素データについてそのコピーを付け加えて出力すればよい。

【0005】 ところで、入力される画像データがいかなる解像度に関するものであるかが不明の場合には、画素密度を変換する前に、予めその解像度を判定しなければならない。従来のアナログRGB画像信号をA/D変換しLCDパネル等の表示装置に表示させる方式では、画像信号に伴う水平同期信号及び垂直同期信号に基づき、マイクロコンピュータ等が、画像信号の種類すなわち解像度を調べ、その表示装置に最も適した解像度に変換すべく、画素密度変換回路を制御している。

【0006】アナログインタフェースでの解像度変換を行うマイクロコンピュータの処理手順の一例が図7のフローチャートに示される。この例は、 $1280 \times 1024$ の解像度を採用するSXGA(Super XGA)のLCDパネルに表示することを目的とするものである。このフローチャートに示されるように、マイクロコンピュータは、まず、入力される水平同期信号(HS)の周期を測定し、その周期から周波数 $f$ を算出する。

【0007】そして、 $f < 40 \text{ kHz}$ であれば、VGAモード( $640 \times 480$ )とみなして画素密度変換倍率を2倍とする。また、 $40 \text{ kHz} \leq f < 50 \text{ kHz}$ であれば、SVGA(Super VGA)モード( $800 \times 600$ )とみなして画素密度変換倍率を1.6倍とする。また、 $50 \text{ kHz} \leq f < 60 \text{ kHz}$ であれば、XGAモード( $1024 \times 768$ )とみなして画素密度変換倍率を1.25倍とする。さらに、 $60 \text{ kHz} \leq f$ であれば、所望のSXGAモード( $1280 \times 1024$ )とみなして画素密度変換倍率を1倍とする。

【0008】上述の処理において採用されたしきい値としての各周波数は、一例にすぎない。VGAの一つをとっても、何種類もの水平同期周波数が使用されており、ハードウェアのみで解像度の判定を行うには多くの物量を必要とするため、上述のようにマイクロコンピュータを利用しなければならない。しかし、マイクロコンピュータで同期信号の周波数を正確に判定するのは困難であり、最適な解像度変換がなされないおそれがある。また、マイクロコンピュータを外付けで備える必要があることに加えて、そのファームウェアを開発しなければならない。

#### 【0009】

【発明が解決しようとする課題】本発明は、上述した問題点及び、近年、画像信号インタフェースがデジタル化されつつあることに鑑みてなされたものであり、その目的は、ファームウェアの開発の必要なく、簡易なハードウェアのみで、デジタル画像信号を表示装置に適した解像度の信号に変換することができる画像信号解像度変換方法及び装置を提供することにある。

#### 【0010】

【課題を解決するための手段】本発明は、デジタル画像信号インタフェースにおいては、従来のアナログインタフェースにおける水平同期信号及び垂直同期信号の他に、データイネーブル信号及びドットクロック信号が追加され、それらの信号が一定の関係を有することに着目し、以下に示される技術構成を採用することにより、上記目的を達成するものである。

【0011】すなわち、本発明によれば、データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する方法であって、データイネーブル信号がアクティブとなる期間内に発生するドットクロック信号のクロック数をカウントするステップと、カウ

ントされたクロック数に基づいて、入力画像信号の解像度を判定するステップと、判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換するステップと、を具備する画像信号解像度変換方法が提供される。

【0012】また、本発明によれば、データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する方法であって、一つの垂直同期期間内に発生するデータイネーブル信号のパルス数をカウントするステップと、カウントされたパルス数に基づいて、入力画像信号の解像度を判定するステップと、判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換するステップと、を具備する画像信号解像度変換方法が提供される。

【0013】ここで、本発明によれば、データイネーブル信号がインアクティブとなる期間内に発生するドットクロック信号のクロック数に基づいて一つの垂直同期期間を判定するステップが更に具備される。

【0014】また、本発明によれば、データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する装置であって、データイネーブル信号がアクティブとなる期間内に発生するドットクロック信号のクロック数をカウントするカウント手段と、前記カウント手段によってカウントされたクロック数に基づいて、入力画像信号の解像度を判定する判定手段と、前記判定手段によって判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換する画素密度変換手段と、を具備する画像信号解像度変換装置が提供される。

【0015】また、本発明によれば、データイネーブル信号及びドットクロック信号を伴うデジタル画像信号の解像度を変換する装置であって、一つの垂直同期期間内に発生するデータイネーブル信号のパルス数をカウントするカウント手段と、前記カウント手段によってカウントされたパルス数に基づいて、入力画像信号の解像度を判定する判定手段と、前記判定手段によって判定された解像度に基づいて、表示装置に適した解像度を有する画像信号を形成するように入力画像信号の画素密度を変換する画素密度変換手段と、を具備する画像信号解像度変換装置が提供される。

【0016】ここで、本発明によれば、データイネーブル信号がインアクティブとなる期間内に発生するドットクロック信号のクロック数に基づいて一つの垂直同期期間を判定する手段が更に具備される。

#### 【0017】

【発明の実施の形態】以下、添付図面を参照して本発明の実施形態について説明する。

【0018】図1は、本発明に係る解像度変換方法及び装置が適用されるシステム構成の一例を示すブロック図

10

20

30

40

50

である。パーソナルコンピュータ10は、表示規格の一つであるVGAに準拠した画像データを作成するVGAコントローラ12と、その画像信号を外部へ送出するためのデジタルインタフェース部14とを備える。一方、LCDモニタ20は、デジタルインタフェース部22とLCDパネル26とを備えるとともに、それらの間に解像度変換装置24を備えている。

【0019】パーソナルコンピュータ10とLCDモニタ20との間のデジタルインタフェースは、アナログインタフェースと同様に、RGB信号並びに制御信号としての水平同期信号(HS)及び垂直同期信号(VS)を有しているが、デジタルインタフェースでは、新たに、データイネーブル(DE)信号及びドットクロック(DCLK)信号が追加されている。この2本の信号は、本来、LCDパネルを制御するために追加されたものであるが、本発明では、入力されている画像信号のモード判定のために利用される。

【0020】図2は、本発明の一実施形態に係る解像度変換装置24の回路構成を示す図である。なお、この解像度変換装置24の後段に接続されるLCDパネル26としては、SXGA(1280×1024)に準拠したLCDパネルを想定している。解像度変換装置24は、入力解像度判定部30と画素密度変換部50とを有している。なお、オシレータ28は、LCDパネル26及び画素密度変換部50の出力ドットクロックを発生させるものである。

【0021】入力解像度判定部30は、デジタル画像信号に伴って入力されるデータイネーブル(DE)信号及びドットクロック(DCLK)信号に基づいて、入力画像信号の解像度を判定する回路である。入力解像度判定部30は、カウンタ32、レジスタ34及びコンパレータ36を備える。カウンタ32は、DE信号がアクティブである期間においてDCLK信号のクロック数をカウントする。レジスタ34は、カウンタ32の最終的なカウント結果を格納するものである。コンパレータ36は、レジスタ34の出力を4個の基準値640、800、1024及び1280と比較するものである。

【0022】また、入力解像度判定部30は、3個のDタイプフリップフロップ38、39及び40、ANDゲート41及び42、並びにインバータ43及び44を有している。これらのフリップフロップ、ANDゲート及びインバータは、DE信号及びDCLK信号から、レジスタ34のロード(LOAD)信号及びカウンタ32のリセット(RESET)信号を作成する。

【0023】入力解像度判定部30の動作を図3のタイムチャートにより説明する。DE信号がアクティブとなる期間内に発生するDCLK信号のクロック数は、解像度のモードによって一義的に決まっており、VGAモードであれば640、SVGAモードであれば800、XGAモードであれば1024、SXGAモードであれば

1280である。したがって、このDCLK信号のクロック数を求めることにより、入力画像信号の解像度を判定することができる。

【0024】例えば、VGAモードの場合には、DE信号及びDCLK信号は図3(A)及び(B)に示される関係を有する。3個のDタイプフリップフロップ38、39及び40の各出力は、DE信号及びDCLK信号に基づいて、図3(C)、(D)及び(E)に示されるステージを形成している。各フリップフロップの出力よりインバータ43及び44並びにANDゲート41及び42を用いて作られるレジスタ34のLOAD信号及びカウンタ32のRESET信号は、それぞれ、図3(F)及び(G)に示されるものとなる。

【0025】カウンタ32は、イネーブル端子にてDE信号を入力し、クロック端子にてDCLK信号を入力し、リセット端子にて図3(G)のRESET信号を入力しているため、カウンタ32の出力は、図3(H)に示されるように変化する。レジスタ34は、図3(F)のLOAD信号のタイミングでカウンタ32の出力を取り込むため、レジスタ34の出力は、図3(I)の如く変化する。図2中のコンパレータ36は、レジスタ34の出力を4個の基準値640、800、1024及び1280と比較し、その比較結果より4本の出力信号線の内のいずれか1本をアクティブにする。

【0026】図2中の画素密度変換部50は、コンパレータ36の出力に基づいて画素密度を変換する。すなわち、本実施形態におけるLCDパネルはSXGA(1280×1024)であるため、画素密度変換部50における拡大縮小率は、入力がVGAモード(640×480)であれば2倍、SVGAモード(800×600)であれば1.6倍、XGAモード(1024×768)であれば1.25倍、SXGAモード(1280×1024)であれば1倍となる。

【0027】画素密度変換部50の動作は、例えば、VGAのデータが入力される場合であれば、画素密度を2倍にする必要から、5個の画素データから10個の画素データを作成するものとなる。すなわち、 $D_1, D_2, D_3, D_4, \dots$ と続く入力データから、 $D_1, D_1, D_2, D_2, D_3, D_3, D_4, D_4, \dots$ というようにそれぞれのデータについてコピーをとり、それを付加していくこととなる。

【0028】このように動作する画素密度変換部50の回路構成例が図4のブロック図に示される。まず、入力画像信号が制御部52からのWclk(クロック信号)によりFIFO(First In First Out)バッファ54に取り込まれる。FIFOバッファ54に取り込まれたデータは、制御部52からのRclk(クロック信号)により読み出され、ラインバッファ56及びセクタ58に入力される。セクタ58は、FIFOバッファ54の出力又はラインバッファ56の出力のうちのいずれかを

選択し、Dタイプフリップフロップ60に送出する。フリップフロップ60の出力が画素密度変換部50の出力となる。制御部52は、FIFOバッファ54、ラインバッファ56、セクタ58及びフリップフロップ60を制御して画素密度変換を実現する。

【0029】図5は、他の実施形態に係る解像度変換装置の回路構成を示す図である。図5における解像度変換装置24'においては、図2における解像度変換装置24と比較して、入力解像度判定部が変更されている。その入力解像度判定部70は、カウンタ72、コンパレータ74、カウンタ76、レジスタ78及びコンパレータ80を備えている。

【0030】入力解像度判定部70の動作を図6のタイムチャートにより説明する。図6(A)に示されるように、ある垂直ブランキング期間と次の垂直ブランキング期間との間の期間、すなわち一つの垂直同期期間内におけるDE信号のパルス数は、解像度のモードによって一義的に決まっており、VGAモードであれば480、SVGAモードであれば600、XGAモードであれば768、SXGAモードであれば1024である。したがって、一つの垂直同期期間内におけるDE信号のパルス数を求めることにより、入力画像信号の解像度を判定することができる。

【0031】また、一つの垂直同期期間を検出するためには、垂直ブランキング期間を検出する必要があるが、本発明では、この垂直ブランキング期間の検出は、DE信号がインアクティブとなる期間内に発生するDCLK信号のクロック数に基づいてなされる。すなわち、前述のように、DE信号がアクティブとなる期間内に発生するDCLK信号のクロック数は、最も解像度の低いVGAモードの場合、640である。また、水平ブランキング期間は、DE信号がアクティブとなる期間よりも短く、水平ブランキング期間内に発生するDCLK信号のクロック数は、VGAモードの場合、640よりも小さい。さらに、垂直ブランキング期間は、DE信号がアクティブとなる期間と水平ブランキング期間とを結合した期間（水平同期期間）よりも長い。そこで、DE信号がインアクティブとなる期間内に発生するDCLK信号のクロック数が、例えば700を超えれば、垂直ブランキング期間であると判定することができる。

【0032】図5中のカウンタ72は、そのイネーブル端子にてDE信号（図6(A)）の反転信号を受け、リセット端子にてDE信号を受け、クロック端子にてDCLK（図6(B)）信号を受けるため、図6(C)に示されるように、DE信号がインアクティブとなる期間内に発生するDCLK信号をカウントすることとなる。コンパレータ74は、図6(D)に示されるように、カウンタ72の出力が700に一致しているときにその出力

をアクティブにするものである。

【0033】そして、カウンタ76は、そのクロック端子にてDE信号を受け、リセット端子にてコンパレータ74の出力を受けているため、図6(E)に示されるように変化し、一つの垂直同期期間内におけるDE信号のパルス数をカウントすることとなる。さらに、レジスタ78は、コンパレータ74の出力がアクティブとなるときにカウンタ76の出力を取り込むため、レジスタ78の出力は、図6(F)の如く一つの垂直同期期間内に発生したDE信号パルス数を格納する。コンパレータ80以降の動作は、コンパレータ80内の基準値が異なることを除いて、図2におけるコンパレータ36以降の動作と同一である。

【0034】

【発明の効果】以上説明したように、本発明によれば、簡単なハードウェアで、つまり画素密度変換部とともに集積化可能な規模で、かつ、ファームウェアを開発することなく、ディジタル画像信号を表示装置に適した解像度の信号に変換することができる。

【図面の簡単な説明】

【図1】本発明に係る解像度変換方法及び装置が適用されるシステム構成の一例を示すブロック図である。

【図2】本発明の一実施形態に係る解像度変換装置の回路構成を示す図である。

【図3】図2中の入力解像度判定部の動作を説明するためのタイムチャートである。

【図4】図2中の画素密度変換部の回路構成例を示すブロック図である。

【図5】本発明の他の実施形態に係る解像度変換装置の回路構成を示す図である。

【図6】図5中の入力解像度判定部の動作を説明するためのタイムチャートである。

【図7】アナログインタフェースでの解像度変換を行うマイクロコンピュータの処理手順を例示するフローチャートである。

【符号の説明】

10…パーソナルコンピュータ

12…VGAコントローラ

14…ディジタルインタフェース部

20…LCDモニタ

22…ディジタルインタフェース部

24, 24'…解像度変換装置

26…LCDパネル

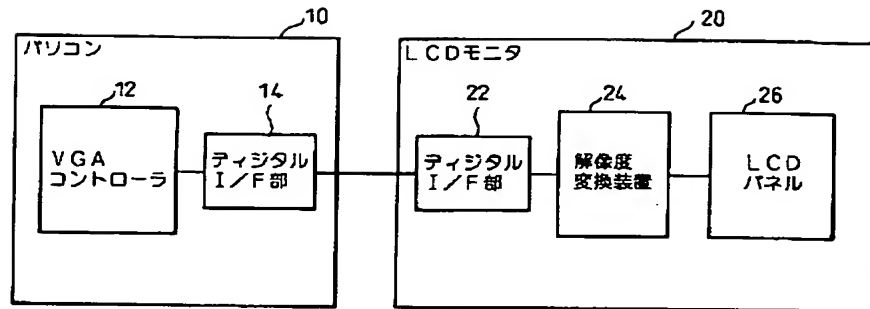
28…オシレータ

30…入力解像度判定部

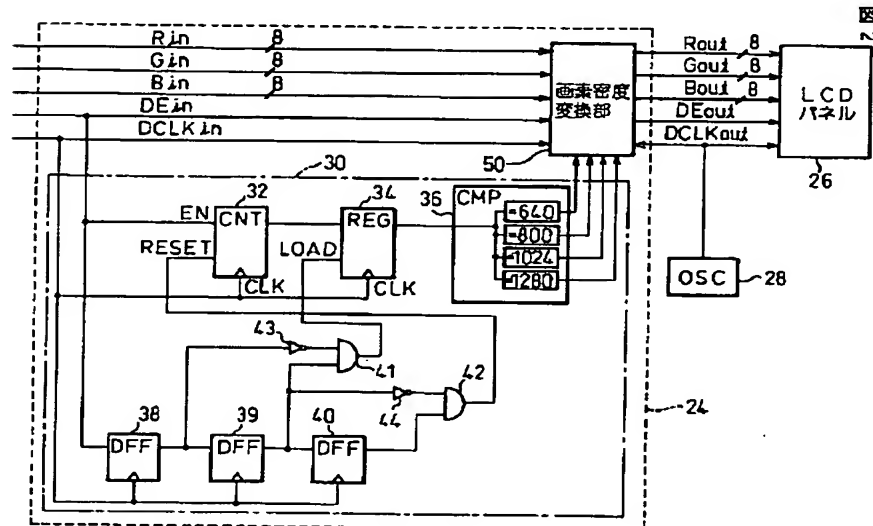
50…画素密度変換部

70…入力解像度判定部

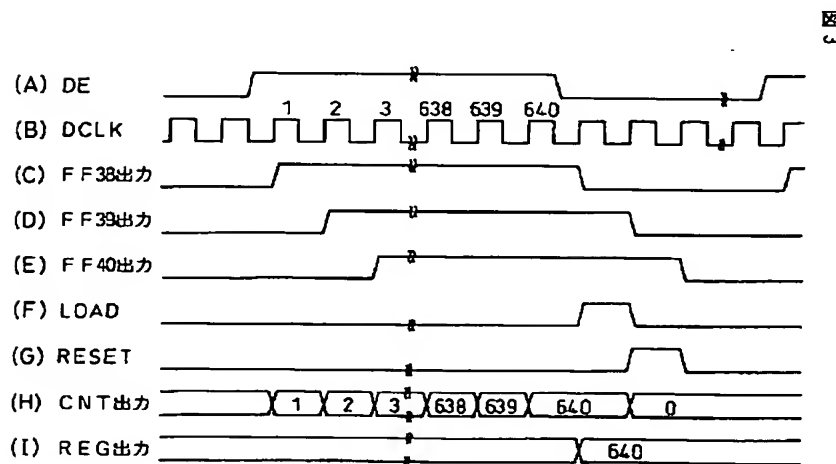
【図1】



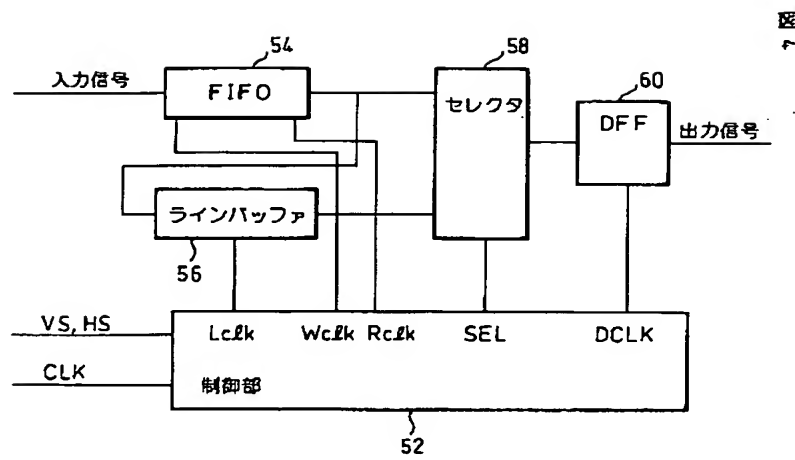
【図2】



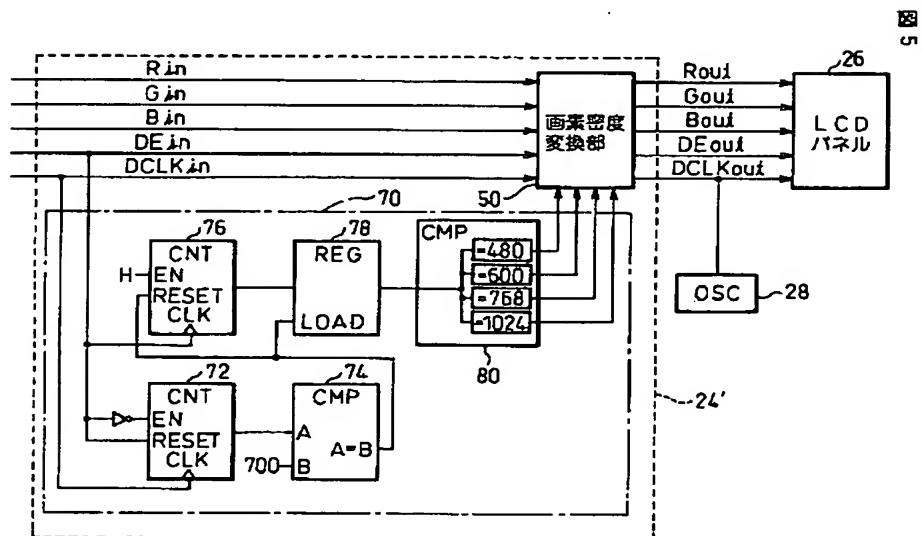
【図3】



【図4】

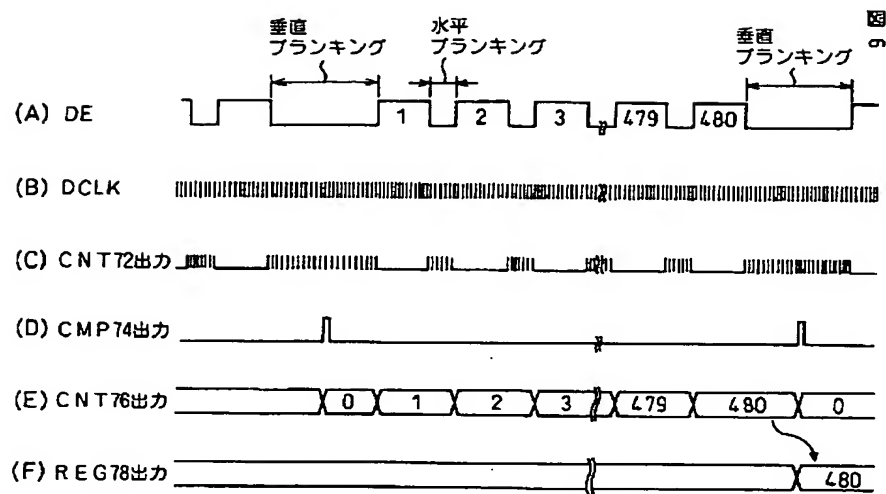


【図5】





【図6】



【図7】

図 7

